

---

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

---

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020040050539 A  
(43)Date of publication of application:  
16.06.2004

(21)Application number: 1020020078392  
(22)Date of filing: 10.12.2002

(71)Applicant: SAMSUNG ELECTRONICS  
CO., LTD.  
(72)Inventor: CHO, GEUN HUI  
JUNG, BYEONG HUN  
KIM, GYU HYEON

(51)Int. Cl. H03L 7/08

---

(54) DELAY TIME COMPENSATION CIRCUIT COMPRISING DELAY DEVICE HAVING DIFFERENT UNIT DELAY TIME

(57) Abstract:



PURPOSE: A delay time compensation circuit comprising delay devices having different unit delay time is provided to reduce the number of delay devices as assuring an operation area of the delay time compensation circuit.

CONSTITUTION: According to a delay locked loop making a phase of a feedback clock signal coincide with a phase of an external clock signal, a phase detector compares the phase of the external clock signal with the phase of the feedback clock signal and then outputs their difference as an error control signal. A delay line comprises a plurality of delay devices(410,420,430,440,450,460) having different unit delay time and generates an output clock signal where the phase of the external clock signal is controlled by receiving the external clock signal, and the number of the delay devices is controlled in response to a shift signal. And a filter generates the shift signal selecting the number of the delay devices of the delay line in response to the error control signal.

COPYRIGHT KIPO 2004

## Legal Status

Date of final disposal of an application (20050629)

Patent registration number (1005056570000)

Date of registration (20050726)

Date of opposition against the grant of a patent (00000000)

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.  
H03L 7/08

(11) 공개번호 10-2004-0050539  
(43) 공개일자 2004년 06월 16일

(21) 출원번호	10-2002-0078392
(22) 출원일자	2002년 12월 10일
(71) 출원인	삼성전자주식회사 경기도 수원시 영통구 매탄동 416
(72) 발명자	조근희 경기도수원시팔달구영통동벽절골8단지아파트205-901 정병훈 경기도수원시팔달구영통동벽절골8단지아파트841-404 김규현 경기도수원시팔달구영통동한신아파트811-606
(74) 대리인	이영필

심사청구 : 있음

(54) 서로 다른 단위 지연 시간을 가지는 지연소자를 구비하는 지연 시간 보상 회로

요약

서로 다른 단위 지연 시간을 가지는 지연소자를 구비하는 지연 시간 보상 회로가 개시된다. 본 발명에 따른 지연 시간 보상 회로 중 지연 동기 루프는 위상 검출기 지연 라인 및 필터 부를 구비하는 것을 특징으로 한다. 위상 검출기는 상기 외부 클럭 신호의 위상과 상기 피드백 클럭 신호의 위상을 비교하고 그 차이를 오차 제어 신호로서 출력한다. 지연 라인은 서로 다른 단위 지연 시간을 가지는 복수개의 지연 소자들을 구비하며 소정의 쉬프트 신호에 응답하여 상기 지연 소자들의 개수가 조절되고, 상기 외부 클럭 신호를 수신하여 상기 외부 클럭 신호의 위상이 제어된 출력 클럭 신호를 발생한다. 필터 부는 상기 오차 제어 신호에 응답하여 상기 지연 라인의 지연 소자들의 개수를 선택하는 상기 쉬프트 신호를 발생한다. 상기 지연 라인은 앞 단의 지연 소자들로부터 뒤 단의 지연 소자들로 갈수록 단위 지연 시간이 점점 커지는 것을 특징으로 한다. 본 발명에 따른 지연 시간 보상 회로는 외부 클럭 신호가 고주파수일 경우 사용되는 앞쪽의 지연 소자들의 단위 지연 시간을 작게 하여 양자화(quantization)오차에 의한 지터(jitter)를 줄일 수 있고, 외부 클럭 신호가 저주파수일 경우 사용되는 뒤쪽의 지연 소자들의 단위 지연 시간을 크게 하여 지연 보상에 필요한 지연 소자들의 개수를 줄일 수 있는 장점이 있다.

도면

도4

발명자

도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 일반적인 지연 동기 루프를 설명하는 블록도이다.

도 2는 일반적인 싱크로너스 미러 딜레이(SMD)를 설명하는 블록도이다.

도 3은 도 1의 지연 라인이나 도 2의 정방향 지연부 및 역방향 지연부의 지연 소자들을 설명하는 도면이다.

도 4는 본 발명에 따른 서로 다른 단위 지연 시간을 가지는 지연 소자들을 설명하는 도면이다.

도 5는 도 4의 지연 소자를 나타내는 회로도이다.

도 6은 도 5의 구조를 가지는 지연 소자들의 연결 관계의 한 예를 나타낸 도면이다.

도 7은 도 5의 구조를 가지는 지연 소자들의 연결 관계의 다른 예를 나타낸 도면이다.

도 8은 싱크로너스 미러 딜레이에서의 지연 소자의 구조를 나타내는 도면이다.

도 9는 본 발명에 따른 싱크로너스 미러 딜레이의 구조를 나타내는 도면이다.

도 10은 본 발명에 따른 싱크로너스 미러 딜레이의 다른 구조를 나타내는 도면이다.

## 영상의 생성과 설명

### 영상의 목적

#### 영상이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 지연 시간 보상 회로에 관한 것으로서, 특히 서로 다른 단위 지연 시간을 가지는 지연 소자들을 구비하는 지연 시간 보상 회로에 관한 것이다.

클럭 신호의 주파수에 동기되어 데이터를 전송하는 I/O 인터페이스 방식에서는 버스의 부하가 커지고 클럭 신호의 주파수가 빨라짐에 따라 클럭 신호와 데이터 사이에 정확한 시간적인 동기를 이루는 것이 중요하다. 즉, 데이터가 클럭 신호의 에지(edge)나 센터에 정확히 동기 되어야 한다는 것이다.

이를 위하여 지연 시간 보상 회로가 사용된다. 지연 시간 보상 회로의 구체적인 예로서 닫힌 루프(closed loop) 시스템인 위상 동기 루프(Phases Locked Loop)와 지연 동기 루프(Delay Locked Loop)가 있고, 열린 루프(open loop) 시스템인 싱크로너스 미러 딜레이(Synchronous Mirror Delay : SMD)가 있다.

위상 동기 루프나 지연 동기 루프는 정확도는 우수하지만 동기를 완료하기까지의 동기 시간(locking time)이 100 cycle 이상 걸리는 데 반하여 싱크로너스 미러 딜레이는 정확도는 위상 동기 루프나 지연 동기 루프에 비하여 떨어지지만 2 cycle 만에 동기가 이루어지는 장점이 있다.

도 1은 일반적인 지연 동기 루프를 설명하는 블록도이다.

일반적인 지연 동기 루프(100)의 지연 보상 방법을 설명한다. 위상 검출기(120)에서 외부 클럭 신호(EXCLK)와 피드백 클럭 신호(FECLK)의 위상 차를 검출하여 그 차이에 대응하는 오차 제어 신호(ERRS)를 발생한다.

필터부(130)는 오차 제어 신호(ERRS)에 응답하여 여러 개의 지연 소자들(미도시)을 구비하는 지연 라인(110)의 지연 소자들의 개수를 증가시키거나 감소시켜 외부 클럭 신호(EXCLK)를 일정한 시간만큼 지연시켜 출력 클럭 신호(OCCLK)로서 출력한다. 출력 클럭 신호(OCCLK)는 위상 검출기(120)로 피드백 클럭 신호(FECLK)로서 인가된다.

지연 라인(110)은 고정된 단위 지연 시간을 가지는 복수개의 지연 소자들을 구비하여 지연이 많이 필요한 경우 많은 개수의 지연 소자들이 선택되고, 지연이 적게 필요한 경우 적은 수의 지연 소자들이 선택된다.

지연 라인(110)의 지연 소자들의 개수는 외부 클럭 신호(EXCLK)의 주기와 밀접한 관계가 있다. 외부 클럭 신호(EXCLK)의 주기가 클 경우에는 지연해야 할 양도 많으므로 많은 수의 지연 소자들이 사용되고, 외부 클럭 신호(EXCLK)의 주기가 작은 경우에는 적은 수의 지연 소자들이 사용된다.

도 2는 일반적인 싱크로너스 미러 딜레이(SMD)를 설명하는 블록도이다.

도 2를 참조하면, 일반적인 싱크로너스 미러 딜레이(200)는 외부 클럭 신호(EXCLK)를 수신하는 버퍼(210), 지연 모니터 회로(220), 외부 클럭 신호(EXCLK)를 순방향으로 지연시키는 정방향 지연부(230), 미러 제어부(240), 미러 제어부(240)의 출력을 역방향으로 지연시키는 역방향 지연부(250) 및 클럭 드라이버(260)를 구비한다.

외부 클럭 신호(EXCLK)의 소정의 에지(edge)에서 다음 에지(edge)까지 정방향 지연부(230)의 지연소자들을 이용하여 외부 클럭 신호(EXCLK)를 지연시키고 낸드 게이트를(미도시)로만 이루어진 미러 제어부(240)로 제어하여 동일한 양의 지연을 역방향 지연부(250)에서 역방향으로 지연시켜 두 클럭만에 동기가 이루어진다.

도 3은 도 1의 지연 라인이나 도 2의 정방향 지연부 및 역방향 지연부의 지연 소자들을 설명하는 도면이다.

일반적인 지연 동기 루프의 지연 라인이나 일반적인 싱크로너스 미러 딜레이의 정방향 지연부 및 역방향 지연부는 도 3과 같이 동일한 단위 지연 시간( $t_D$ )을 가지는 지연 소자들이 직렬로 연결된 구조로 되어있다.

외부 클럭 신호(EXCLK)의 주기가  $t_{CK}$  라면 외부 클럭 신호와 출력 클럭 신호 사이의 위상 차를 보상하기 위해서는  $t_{CK}/t_D$  개의 지연 소자들이 필요하다.

그러나, 도 1의 지연 동기 루프(100)나 도 2의 싱크로너스 미러 딜레이(200)와 같은 지연 시간 보상 회로가 가지는 근본적인 문제점은 저주파수, 즉 긴 주기를 가지는 외부 클럭 신호에 동기 되기 위해서는 물리적으로 긴 지연 소자들의 연결이 필요한데, 이는 레이아웃(layout)의 제약 때문에 한계가 생길 수밖에 없어 결국 지연 동기 루프나 싱크로너스 미러 딜레이가 보장할 수 있는 외부 클럭 신호의 주기가 제한 받게 된다는 것이다.

또한, 앞쪽에 배치된 지연 소자들로부터 선택되어 점차적으로 뒷 쪽의 지연 소자들이 선택되므로 동기를 이루기까지의 보상 시간도 증가되는 문제가 있다.

결국 하나의 지연 소자의 단위 지연 시간을 크게 하면 저주파수를 가지는 외부 클럭 신호가 입력되는 경우의 지연 시간 보상 회로의 동작 영역은 확보될 수 있으나 동기를 이루고 난 이후의 양자화(quantization) 오차에 의한 지터(jitter)가 크게 나타날 수 있다.

반대로 하나의 지연 소자의 단위 지연 시간을 작게 하면 지터를 줄일 수는 있으나 동일한 주파수 동작 영역의 확보를 위해서는 지연 소자의 개수를 더욱 늘려야 하는 문제가 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자하는 기술적 과제는 뒤쪽에 배치된 지연 소자들의 단위 지연 시간을 크게 하여 저주파수의 외부 클럭 신호가 입력되는 경우의 지연 시간 보상 회로의 동작 영역을 확보하면서도 지연 소자의 수를 줄일 수 있는 지연 시간 보상 회로를 제공하는데 있다.

### 발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명의 제 1 실시예에 따른 지연 동기 루프는, 외부 클럭 신호를 수신하여 피드백 되는 피드백 클럭 신호의 위상과 상기 외부 클럭 신호의 위상을 일치시키는 지연 동기 루프에 있어서 위상 검출기 지연 라인 및 필터 부를 구비하는 것을 특징으로 한다.

위상 검출기는 상기 외부 클럭 신호의 위상과 상기 피드백 클럭 신호의 위상을 비교하고 그 차이를 오차 제어 신호로서 출력한다. 지연 라인은 서로 다른 단위 지연 시간을 가지는 복수개의 지연 소자들을 구비하여 소정의 쉬프트 신호에 응답하여 상기 지연 소자들의 개수가 조절되고, 상기 외부 클럭 신호를 수신하여 상기 외부 클럭 신호의 위상이 제어된 클럭 클럭 신호를 발생한다.

필터 부는 상기 오차 제어 신호에 응답하여 상기 지연 라인의 지연 소자들의 개수를 선택하는 상기 쉬프트 신호를 발생한다.

상기 지연 라인은 앞 단의 지연 소자들로부터 뒤 단의 지연 소자들로 갈수록 단위 지연 시간이 점점 커지는 것을 특징으로 한다. 상기 지연 소자들은 차동 증폭기의 구조를 가지며 전원 전압에 연결된 저항의 크기를 조절하여 상기 단위 지연 시간의 크기를 변화시키는 것을 특징으로 한다.

상기 저항은 앞 단의 지연 소자들로부터 뒤 단의 지연 소자들로 갈수록 저항 값이 커지는 것을 특징으로 한다. 상기 차동 증폭기는 앞 단의 지연 소자들로부터 뒤 단의 지연 소자들로 갈수록 상기 외부 클럭 신호가 인가되는 입력 트랜지스터의 사이즈가 커지는 것을 특징으로 한다.

상기 차동 증폭기는 출력단에 커패시터를 구비하여 상기 커패시터는 앞 단의 지연 소자들로부터 뒤 단의 지연 소자들로 갈수록 상기 커패시터의 커패시턴스가 커지는 것을 특징으로 한다.

상기 기술적 과제를 달성하기 위한 본 발명의 제 2 실시예에 따른 싱크로너스 미러 딜레이는 정방향 지연부(Forward Delay Array; 이하 FDA라고 한다.), 미러 제어부(Mirror Control Circuit; 이하 MCC라고 한다.) 및 역방향 지연부(Backward Delay Array; 이하 BDA라고 한다.)를 구비하는 것을 특징으로 한다.

정방향 지연부는 서로 다른 단위 지연 시간을 가지는 복수개의 지연 소자들을 구비하며, 외부 클럭 신호를 수신하여 상기 외부 클럭 신호의 위상이 순방향으로 지연된 순방향 지연 클럭 신호들을 발생한다.

미러 제어부는 상기 순방향 지연 클럭 신호 및 상기 외부 클럭 신호에 응답하여 상기 순방향 지연 클럭 신호를 지연시켜 출력한다.

역방향 지연부는 서로 다른 단위 지연 시간을 가지며 직렬 연결되는 복수개의 지연 소자들을 구비하며, 상기 미러 제어부의 출력을 수신하여 상기 미러 제어부의 출력의 위상이 역방향으로 지연된 역방향 지연 클럭 신호들을 발생한다.

상기 FDA 및 상기 BDA는 앞 단의 지연 소자들로부터 뒤 단의 지연 소자들로 갈수록 단위 지연 시간이 점점 커지는 것을 특징으로 한다.

상기 지연 소자들은 낸드 게이트와 인버터가 직렬 연결된 구조를 가지며, 상기 낸드 게이트와 상기 인버터의 트랜지스터 사이즈를 조절하여 상기 단위 지연 시간의 크기를 변화시키는 것을 특징으로 한다.

상기 트랜지스터는 앞 단의 지연 소자들로부터 뒤 단의 지연 소자들로 갈수록 사이즈가 커지는 것을 특징으로 한다. 상기 지연 소자들은 출력단에 커패시터를 구비하며, 상기 커패시터는 앞 단의 지연 소자들로부터 뒤 단의 지연 소자들로 갈수록 상기 커패시터의 커패시턴스가 커지는 것을 특징으로 한다.

상기 FDA 및 상기 BDA는 홀수 번째 지연 소자들보다 짝수 번째 지연 소자들의 단위 지연 시간이 더 크거나, 또는 짝수 번째 지연 소자들보다 홀수 번째 지연 소자들의 단위 지연 시간이 더 큰 것을 특징으로 한다.

상기 기술적 과제를 달성하기 위한 본 발명의 제 3 실시예에 따른 지연 시간 보상 회로는, 클럭 클럭 신호를 외부 클럭 신호에 동기 시키기 위한 지연 시간 보상 회로에 있어서 지연부 및 제어부를 구비하는 것을 특징으로 한다.

지연부는 서로 다른 단위 지연 시간을 가지는 복수개의 지연 소자들을 구비하며, 상기 외부 클럭 신호를 수신하여 상기 외부 클럭 신호에 동기 된 클럭 클럭 신호를 발생한다.

제어부는 상기 지연부의 상기 지연 소자들의 개수를 선택하여 상기 클럭 클럭 신호가 상기 외부 클럭 신호에 동기 되도록 제어한다.

상기 지연부는 앞 단의 지연 소자들로부터 뒤 단의 지연 소자들로 갈수록 단위 지연 시간이 점점 커지는 것을 특징으로 한다. 상기 지연부는 홀수 번째 지연 소자들보다 짝수 번째 지연 소자들의 단위 지연 시간이 더 크거나, 또는 짝수 번째 지연 소자들보다 홀수 번째 지연 소자들의 단위 지연 시간이 더 큰 것을 특징으로 한다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다.

각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 4는 본 발명에 따른 서로 다른 단위 지연 시간을 가지는 지연 소자들을 설명하는 도면이다.

본 발명의 제 1 실시예에 따른 지연 동기 루프는 지연 라인에 서로 다른 단위 지연 시간을 가지는 지연 소자들(410 ~ 460)을 구비하는 점을 제외하고는 일반적인 지연 동기 루프와 동일하다. 따라서 지연 라인의 구조 및 동작을 중심으로 설명한다.

기존의 지연 동기 루프(100)의 지연 라인(110)은 동일한 단위 지연 시간을 가지는 지연 소자들을 복수개 구비했으나, 본 발명의 지연 동기 루프의 지연 라인은 서로 다른 단위 지연 시간( $t_{D1}$ ,  $t_{D2}$ ,  $t_{D3}$ )을 가지는 복수개의 지연 소자들(410 ~ 460)을 구비한다.

지연 라인의 지연 소자들(410 ~ 460)은 앞단의 지연 소자들로부터 뒤 단의 지연 소자들로 갈수록 단위 지연 시간이 점점 커진다. 즉, 앞단의 지연 소자의 경우에는 고주파수(짧은 주기)의 외부 클럭 신호의 지연 보상을 할 경우에 주로 사용되므로 지연 소자의 단위 지연 시간을 작게 한다.

뒤 단의 지연 소자의 경우에는 저주파수(긴 주기)의 외부 클럭 신호의 지연 보상을 할 경우에 주로 사용되므로 지연 소자의 단위 지연 시간을 크게 한다.

저주파수의 외부 클럭 신호의 지연 보상을 할 경우에는 작은 단위 지연 시간을 가지는 앞단의 지연 소자와 큰 단위 지연 시간을 가지는 뒤 단의 지연 소자들이 모두 이용된다.

이와 같은 구조에 의하여 본 발명에 따른 지연 동기 루프의 지연 라인은 종래의 지연 동기 루프의 지연 라인보다 더 적은 수의 지연 소자들만으로도 더 큰 주기를 가지는 외부 클럭 신호의 지연 보상을 할 수 있다.

위상 검출기는 외부 클럭 신호의 위상과 상기 피드백 클럭 신호의 위상을 비교하고 그 차이를 오차 제어 신호로서 출력한다. 필터 부는 상기 오차 제어 신호에 응답하여 상기 지연 라인의 지연 소자들의 개수를 선택하는 상기 쉬프트 신호를 발생한다.

필터 부는 전하 펌프와 필터를 구비할 수 있다. 외부 클럭 신호의 위상과 상기 피드백 클럭 신호의 위상의 차이에 대한 정보를 가지는 오차 제어 신호에 응답하여 전하 펌프는 발생하는 전하량을 변화시킬 수 있다. 그러면 변화되는 전하량이 필터 부 내부의 필터로 인가되고 필터는 쉬프트 신호를 발생한다.

지연 라인은 쉬프트 신호에 응답하여 상기 지연 소자들의 개수가 조절된다. 그러면 상기 외부 클럭 신호를 수신하여 상기 외부 클럭 신호의 위상이 제어된 출력 클럭 신호를 발생한다. 출력 클럭 신호는 피드백 클럭 신호로서 위상 검출기로 다시 인가된다.

도 5는 도 4의 지연 소자를 나타내는 회로도이다.

도 5를 참조하면 지연 소자는 차동 증폭기의 형태를 가진다. 그러나 지연 소자가 반드시 차동 증폭기의 형태만으로 이루어지는 것이 아님은 당업자에게는 당연할 것이다.

도 5와 같은 차동 증폭기의 구조를 가지는 지연 소자에서, 지연 소자마다 단위 지연 시간을 변경하기 위한 방법 중 하나로써 전원 전압에 연결된 저항(R)의 크기를 조절하여 단위 지연 시간의 크기를 변화시키는 것이 있다.

전원 전압에 연결된 저항의 크기가 커지면 일반적으로 단위 지연 시간도 커진다. 따라서, 앞단의 지연 소자들로부터 뒤 단의 지연 소자들로 갈수록 전원 전압에 연결된 저항 값이 커지도록 한다면, 앞단의 지연 소자들로부터 뒤 단의 지연 소자들로 갈수록 단위 지연 시간이 점점 커지는 본 발명의 특징을 만족시킬 수 있다.

도 6에 앞단으로부터 뒤 단으로 갈수록 저항 값이 점점 커지도록 배치된 지연 소자들이 도시되어 있다.

도 7은 도 5의 구조를 가지는 지연 소자들의 연결 관계의 다른 예를 나타낸 도면이다.

도 7과 같이, 각각 두 개의 지연 소자가 동일한 단위 지연 시간을 가지며, 뒤 단으로 갈수록 지연 소자의 단위 지연 시간이 커지도록 구성할 수 있다. 앞단의 지연 소자로부터 뒤 단의 지연 소자로 갈수록 단위 지연 시간이 점점 커지는 구조라면 모두 본 발명의 권리 범위에 포함될 수 있을 것이다.

즉, 도 7과 같이 두 개의 지연 소자가 하나의 블록을 이루면서 뒤 단으로 갈수록 단위 지연 시간이 커지는 구조이거나 또는 세 개 이상의 지연 소자가 하나의 블록을 이루면서 뒤 단으로 갈수록 단위 지연 시간이 커지는 구조도 모두 본 발명의 권리 범위에 포함된다.

지연 소자마다 단위 지연 시간을 변경하기 위한 다른 방법으로서, 트랜지스터의 사이즈를 조절하는 방법이 있다. 즉, 도 5의 차동 증폭기의 입력 트랜지스터(MN1, MN2)의 사이즈를 조절하여 지연 소자의 단위 지연 시간을 조절한다.

트랜지스터(MN1, MN2)의 사이즈를 크게 하면 일반적으로 단위 지연 시간이 길어진다. 따라서, 앞 단의 지연 소자들로부터 뒤 단의 지연 소자들로 갈수록 외부 클럭 신호가 인가되는 입력 트랜지스터(MN1, MN2)의 사이즈가 커지도록 한다면 본 발명의 서로 다른 단위 지연 시간을 가지는 지연 소자들을 구비하는 지연 라인을 만들 수 있다.

또 다른 방법으로, 상기 차동 증폭기의 출력단에 커패시터를 장착하고, 커패시터의 커패시턴스를 조절하여 단위 지연 시간을 조절하는 방법이 있다. 즉, 도 5의 차동 증폭기의 출력단(OUT, /OUT)에 커패시터를 장착하고 커패시턴스를 크게 하면 일반적으로 단위 지연 시간도 커진다.

따라서, 앞 단의 지연 소자들로부터 뒤 단의 지연 소자들로 갈수록 차동 증폭기의 출력단에 장착된 커패시터의 커패시턴스가 커지도록 한다면 본 발명의 서로 다른 단위 지연 시간을 가지는 지연 소자들을 구비하는 지연 라인을 만들 수 있다.

도 8은 싱크로너스 미러 딜레이에서의 자연 소자의 구조를 나타내는 도면이다.

도 2의 싱크로너스 미러 딜레이(200)의 FDA(230)나 BDA(250) 내부의 자연 소자의 구조는 도 8에 도시된 것과 같이 낸드 게이트(810)와 인버터(820)가 직렬 연결된 형태이다.

본 발명의 제 2 실시예에 따른 싱크로너스 미러 딜레이는 FDA나 BDA에 서로 다른 단위 지연 시간을 가지는 자연 소자들을 구비하는 점을 제외하고는 일반적인 싱크로너스 미러 딜레이와 동일하다. 따라서 FDA나 BDA의 구조 및 동작을 중심으로 설명한다.

기존의 싱크로너스 미러 딜레이(200)의 FDA(230)나 BDA(250)는 동일한 단위 지연 시간을 가지는 자연 소자들을 복수개 구비했으나, 본 발명의 싱크로너스 미러 딜레이의 FDA 와 BDA 는 서로 다른 단위 지연 시간을 가지는 복수개의 자연 소자들을 구비한다.

FDA 및 BDA는 앞 단의 자연 소자들로부터 뒤 단의 자연 소자들로 갈수록 단위 지연 시간이 점점 커진다. 즉, 앞단의 자연 소자의 경우에는 고주파수(짧은 주기)의 외부 클럭 신호의 지연 보상을 할 경우에 주로 사용되므로 자연 소자의 단위 지연 시간을 작게 한다.

뒤 단의 자연 소자의 경우에는 저주파수(긴 주기)의 외부 클럭 신호의 지연 보상을 할 경우에 주로 사용되므로 자연 소자의 단위 지연 시간을 크게 한다.

저주파수의 외부 클럭 신호의 지연 보상을 할 경우에는 작은 단위 지연 시간을 가지는 앞단의 자연 소자들과 큰 단위 지연 시간을 가지는 뒤 단의 자연 소자들이 모두 이용된다.

이와 같은 구조에 의하여 본 발명에 따른 싱크로너스 미러 딜레이의 FDA 및 BDA 는 종래의 싱크로너스 미러 딜레이의 FDA 및 BDA 보다 더 적은 수의 자연 소자들만으로도 더 큰 주기를 가지는 외부 클럭 신호의 지연 보상을 할 수 있다.

자연 소자들은 도 8과 같이 낸드 게이트(810)와 인버터(820)가 직렬 연결된 구조를 가진다. 그리고, 낸드 게이트(810)와 인버터(820)의 트랜지스터(미도시) 사이즈를 조절하여 단위 지연 시간의 크기를 변화시킨다.

즉, 낸드 게이트(810)와 인버터(820)의 트랜지스터(미도시)는 앞단의 자연 소자들로부터 뒤 단의 자연 소자들로 갈수록 사이즈가 커진다. 트랜지스터(미도시)의 사이즈가 클수록 일반적으로 단위 지연 시간도 길어진다. 트랜지스터(미도시)의 사이즈를 이용하여 단위 지연 시간을 조절하는 원리는 앞에서 설명되었으므로 여기서는 생략한다.

FDA와 BDA 의 단위 지연 시간을 변화시키는 또 다른 방법은, 자연 소자들의 출력단에 커패시터를 장착하고 커패시터의 커패시턴스를 조절하는 방법이다.

도 8의 낸드 게이트(810)의 출력단이나 인버터(820)의 출력단에 커패시터를 장착하고, 앞 단의 자연 소자들로부터 뒤 단의 자연 소자들로 갈수록 상기 커패시터의 커패시턴스가 커지도록 한다. 커패시턴스가 클수록 단위 지연 시간이 증가된다.

도 9를 참조하여 좀 더 설명한다.

FDA는 자연 소자들(FUD1, FUD2, FUD3, FUD4)을 구비한다. 그리고 자연 소자들(FUD1, FUD2, FUD3, FUD4)은 뒤 단으로 갈수록 단위 지연 시간( $t_{d1}$ ,  $t_{d2}$ ,  $t_{d3}$ ,  $t_{d4}$ )이 길어진다.

BDA는 FDA와 동일한 구조를 가진다. 즉, BDA는 자연 소자들(BUD1, BUD2, BUD3, BUD4)을 구비하고 뒤 단으로 갈수록 단위 지연 시간이 길어진다.

MCC는 FDA와 BDA를 연결하는 낸드 게이트들(915, 920, 925, 930)을 구비한다.

도 9와 같은 구조에 의하여 더 긴 주기의 외부 클럭 신호(EXCLK)를 더 작은 수의 자연 소자들 쌍(FUD1, FUD2, FUD3, FUD4, BUD1, BUD2, BUD3, BUD4)을 이용하여 동기 시킬 수 있다.

도 10은 본 발명에 따른 싱크로너스 미러 딜레이의 다른 구조를 나타내는 도면이다.

도 10을 참조하면, FDA 및 BDA의 홀수 번째 자연 소자들(FUD1, FUD3, BUD1, BUD3)보다 짝수 번째 자연 소자들(FUD2, FUD4, BUD2, BUD4)의 단위 지연 시간이 더 크거나, 또는 짝수 번째 자연 소자들(FUD2, FUD4, BUD2, BUD4)보다 홀수 번째 자연 소자들(FUD1, FUD3, BUD1, BUD3)의 단위 지연 시간이 더 크다.

뒤쪽의 자연 소자들로 갈수록 단위 지연 시간을 크게 하지 않고, 홀수 번째 자연 소자와 짝수 번째 자연 소자들의 단위 지연 시간을 다르게 하여도 더 적은 개수의 자연 소자들을 이용하여 외부 클럭 신호(EXCLK)의 지연 보상을 할 수 있다.

본 발명의 다른 실시예에 따른, 출력 클럭 신호를 외부 클럭 신호에 동기 시키기 위한 지연 시간 보상 회로는 지연부 및 제어부를 구비한다.

지연부는 서로 다른 단위 지연 시간을 가지는 복수개의 자연 소자들을 구비하며, 상기 외부 클럭 신호를 수신하여 상기 외부 클럭 신호에 동기 된 출력 클럭 신호를 발생한다.

좀 더 설명하면, 상기 지연부는 앞 단의 자연 소자들로부터 뒤 단의 자연 소자들로 갈수록 단위 지연 시간이 점점 커질 수 있다.

본 발명에 따른 지연부는 제 1 실시예의 복수개의 자연 소자들을 구비하는 지연 라인 또는 제 2 실시예의 복수개의 자연 소자들을 구비하는 FDA 및 BDA 와 동일한 기능을 한다. 따라서 지연부에 대한 상세한 동작 설명은 생략한다.

상기 지연부는 홀수 번째 자연 소자들보다 짝수 번째 자연 소자들의 단위 지연 시간이 더 크거나, 또는 짝수 번째 자연 소자들보다 홀수 번째 자연 소자들의 단위 지연 시간이 더 클 수 있다.

여기에서의 지연부는 도 10에 도시된 구조를 가지는 FDA 및 BOA와 동일한 기능을 한다. 도 10에 도시된 FDA 및 BOA의 동작은 이미 설명된 바 있으므로 본 발명의 지연부에 대한 상세한 동작 설명은 생략한다.

제어부는 상기 지연부의 상기 지연 소자들의 개수를 선택하여, 상기 클럭 클럭 신호가 상기 외부 클럭 신호에 동기 되도록 제어한다. 본 발명의 제어부는 제 1 실시예의 지연 동기 루프에서 지연 라인을 제외한 나머지 회로들과 동일한 기능을 한다.

또는 본 발명의 지연부는 제 2 실시예의 싱크로너스 미러 딜레이에서 FDA 및 BOA를 제외한 나머지 회로들과 동일한 기능을 한다. 따라서 본 발명의 제어부에 대한 상세한 동작 설명은 생략한다.

이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 발명의 효과

상술한 바와 같이 본 발명에 따른 지연 시간 보상 회로는 외부 클럭 신호가 고주파수일 경우 사용되는 앞쪽의 지연 소자들의 단위 지연 시간을 작게 하여 양자화(quantization)오차에 의한 지터(jitter)를 줄일 수 있고, 외부 클럭 신호가 저주파수일 경우 사용되는 뒤쪽의 지연 소자들의 단위 지연 시간을 크게 하여 지연 보상에 필요한 지연 소자들의 개수를 줄일 수 있는 장점이 있다. 또한 지연 소자들의 개수가 줄어들므로 전류 소비도 줄고 지연 보상 시간도 작게 소요되는 장점이 있다.

#### (57) 청구의 범위

##### 청구항 1

외부 클럭 신호를 수신하여, 피드백 되는 피드백 클럭 신호의 위상과 상기 외부 클럭 신호의 위상을 일치시키는 지연 동기 루프에 있어서,

상기 외부 클럭 신호의 위상과 상기 피드백 클럭 신호의 위상을 비교하고 그 차이를 오차 제어 신호로서 출력하는 위상 검출기;

서로 다른 단위 지연 시간을 가지는 복수개의 지연 소자들을 구비하며, 소정의 쉬프트 신호에 응답하여, 상기 지연 소자들의 개수가 조절되고, 상기 외부 클럭 신호를 수신하여 상기 외부 클럭 신호의 위상이 제어된 클럭 신호를 발생하는 지연 라인; 및

상기 오차 제어 신호에 응답하여 상기 지연 라인의 지연 소자들의 개수를 선택하는 상기 쉬프트 신호를 발생하는 필터 부를 구비하는 것을 특징으로 하는 지연 동기 루프;

##### 청구항 2

제 1항에 있어서, 상기 지연 라인은,

앞 단의 지연 소자들로부터 뒤 단의 지연 소자들로 갈수록 단위 지연 시간이 점점 커지는 것을 특징으로 하는 지연 동기 루프;

##### 청구항 3

제 1항에 있어서, 상기 지연 소자들은,

차동 증폭기의 구조를 가지며,

전원 전압에 연결된 저항의 크기를 조절하여 상기 단위 지연 시간의 크기를 변화시키는 것을 특징으로 하는 지연 동기 루프;

##### 청구항 4

제 3항에 있어서, 상기 저항은,

앞 단의 지연 소자들로부터 뒤 단의 지연 소자들로 갈수록 저항 값이 커지는 것을 특징으로 하는 지연 동기 루프;

##### 청구항 5

제 3항에 있어서, 상기 차동 증폭기는,

앞 단의 지연 소자들로부터 뒤 단의 지연 소자들로 갈수록 상기 외부 클럭 신호가 인가되는 입력 트랜지스터의 사이즈가 커지는 것을 특징으로 하는 지연 동기 루프;

##### 청구항 6

제 3항에 있어서, 상기 차동 증폭기는,

출력단에 커패시터를 구비하며,

상기 커패시터는,

앞 단의 지연 소자들로부터 뒤 단의 지연 소자들로 갈수록 상기 커패시터의 커패시턴스가 커지는 것을



특징으로 하는 지연 동기 루프.

#### 청구항 7

서로 다른 단위 지연 시간을 가지는 복수개의 지연 소자들을 구비하며, 외부 클럭 신호를 수신하여 상기 외부 클럭 신호의 위상이 순방향으로 지연된 순방향 지연 클럭 신호를 발생하는 정방향 지연부(Forward Delay Array :이하 FDA라고 한다.) 및

상기 순방향 지연 클럭 신호 및 상기 외부 클럭 신호에 응답하여 상기 순방향 지연 클럭 신호를 지연시켜 출력하는 미러 제어부(Mirror Control Circuit :이하 MCC라고 한다.) 및

서로 다른 단위 지연 시간을 가지며 직렬 연결되는 복수개의 지연 소자들을 구비하며, 상기 미러 제어부의 출력을 수신하여 상기 미러 제어부의 출력의 위상이 역방향으로 지연된 역방향 지연 클럭 신호를 발생하는 역방향 지연부(Backward Delay Array :이하 BDA라고 한다.)를 구비하는 것을 특징으로 하는 싱크로너스 미러 딜레이(Synchronous Mirror Delay)

#### 청구항 8

제 7항에 있어서, 상기 FDA 및 상기 BDA는,

앞 단의 지연 소자들로부터 뒷 단의 지연 소자로 갈수록 단위 지연 시간이 점점 커지는 것을 특징으로 하는 싱크로너스 미러 딜레이.

#### 청구항 9

제 7항에 있어서, 상기 지연 소자들은,

밴드 게이트와 인버터가 직렬 연결된 구조를 가지며,

상기 밴드 게이트와 상기 인버터의 트랜지스터 사이즈를 조절하여 상기 단위 지연 시간의 크기를 변화시키는 것을 특징으로 하는 싱크로너스 미러 딜레이.

#### 청구항 10

제 9항에 있어서, 상기 트랜지스터는,

앞 단의 지연 소자들로부터 뒷 단의 지연 소자로 갈수록 사이즈가 커지는 것을 특징으로 하는 싱크로너스 미러 딜레이.

#### 청구항 11

제 9항에 있어서, 상기 지연 소자들은,

출력단에 커패시터를 구비하며,

상기 커패시터는,

앞 단의 지연 소자들로부터 뒷 단의 지연 소자로 갈수록 상기 커패시터의 커패시턴스가 커지는 것을 특징으로 하는 싱크로너스 미러 딜레이.

#### 청구항 12

제 7항에 있어서, 상기 FDA 및 상기 BDA는,

홀수 번 째 지연 소자들보다 짝수 번 째 지연 소자들의 단위 지연 시간이 더 크거나, 또는 짝수 번 째 지연 소자들보다 홀수 번 째 지연 소자들의 단위 지연 시간이 더 큰 것을 특징으로 하는 싱크로너스 미러 딜레이.

#### 청구항 13

출력 클럭 신호를 외부 클럭 신호에 동기 시키기 위한 지연 시간 보상 회로에 있어서,

서로 다른 단위 지연 시간을 가지는 복수개의 지연 소자들을 구비하며, 상기 외부 클럭 신호를 수신하여 상기 외부 클럭 신호에 동기 된 출력 클럭 신호를 발생하는 지연부; 및

상기 지연부의 상기 지연 소자들의 개수를 선택하여 상기 출력 클럭 신호가 상기 외부 클럭 신호에 동기 되도록 제어하는 제어부를 구비하는 것을 특징으로 하는 지연 시간 보상 회로.

#### 청구항 14

제 13항에 있어서, 상기 지연부는,

앞 단의 지연 소자들로부터 뒷 단의 지연 소자로 갈수록 단위 지연 시간이 점점 커지는 것을 특징으로 하는 지연 시간 보상 회로.

#### 청구항 15

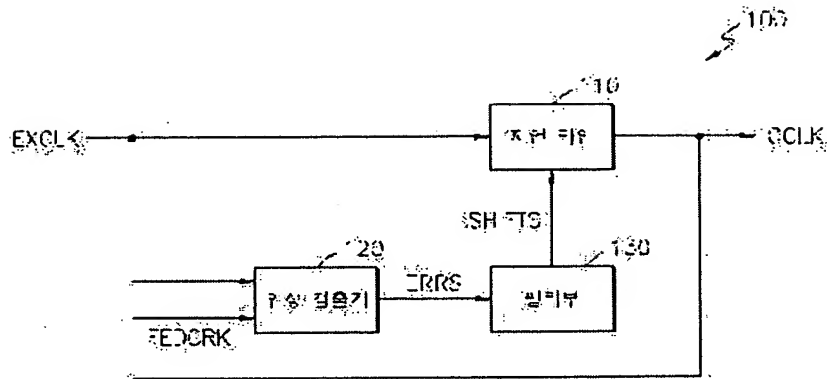
제 13항에 있어서, 상기 지연부는,

홀수 번 째 지연 소자들보다 짝수 번 째 지연 소자들의 단위 지연 시간이 더 크거나, 또는 짝수 번 째 지연 소자들보다 홀수 번 째 지연 소자들의 단위 지연 시간이 더 큰 것을 특징으로 하는 지연 시간 보상 회로.

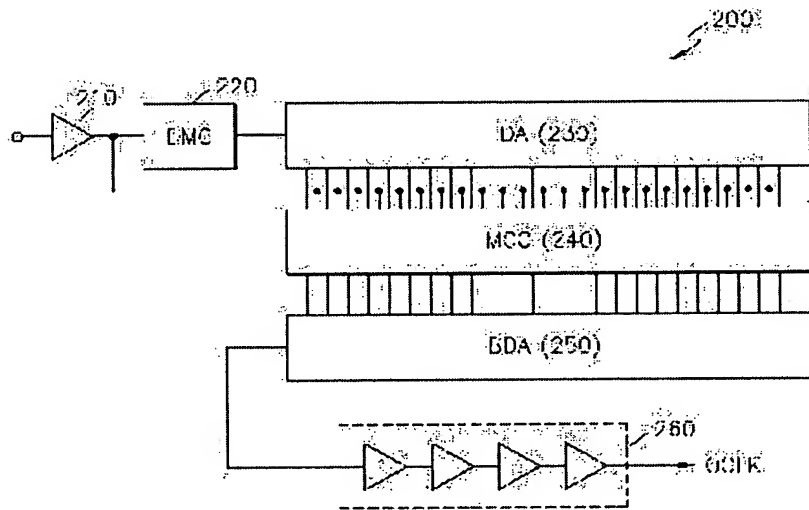


도면

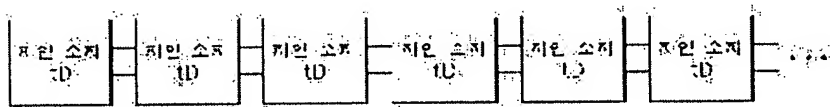
도면1



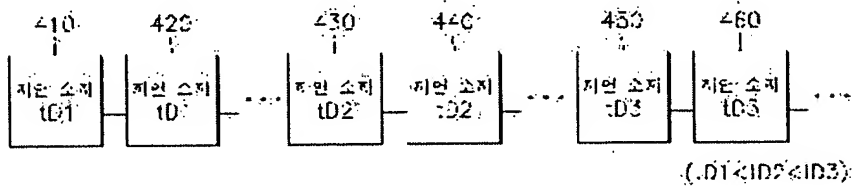
도면2



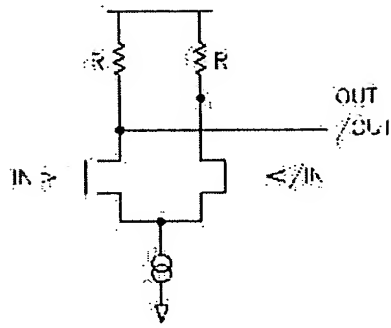
도면3



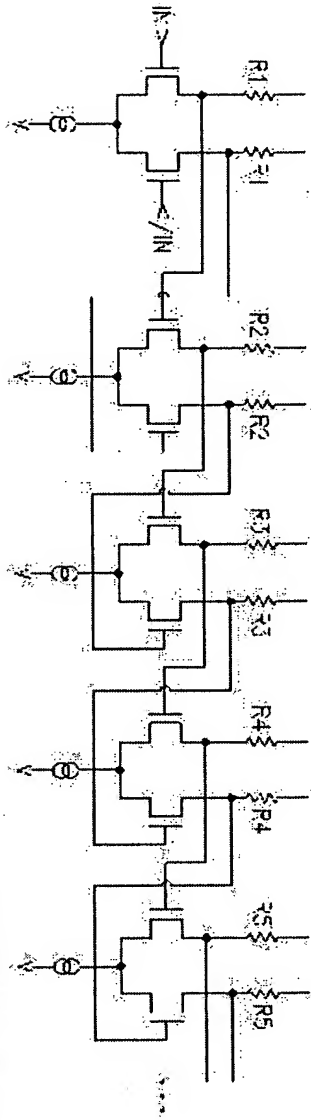
도면4



5B5

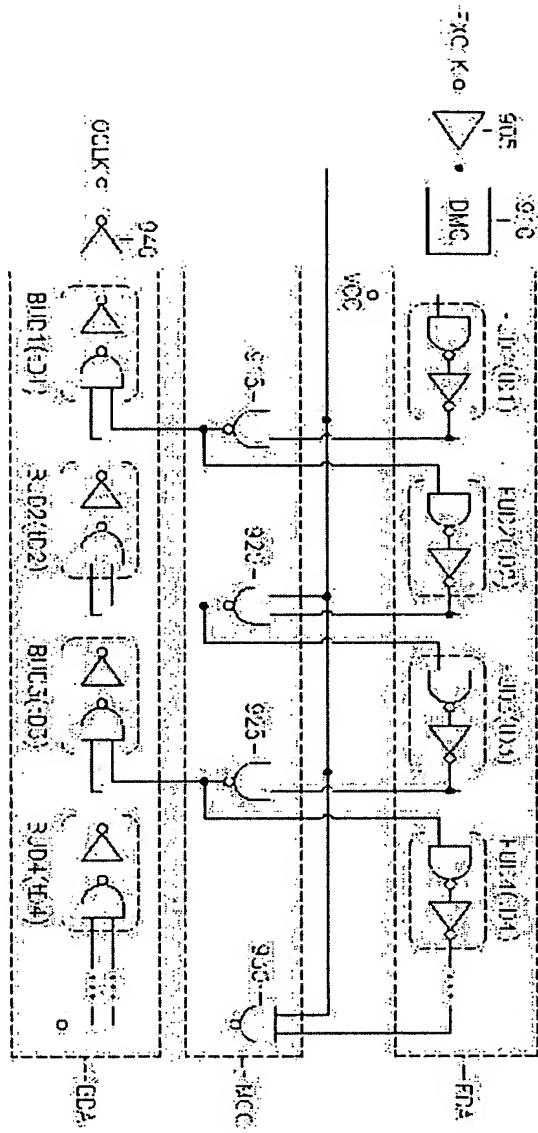


823



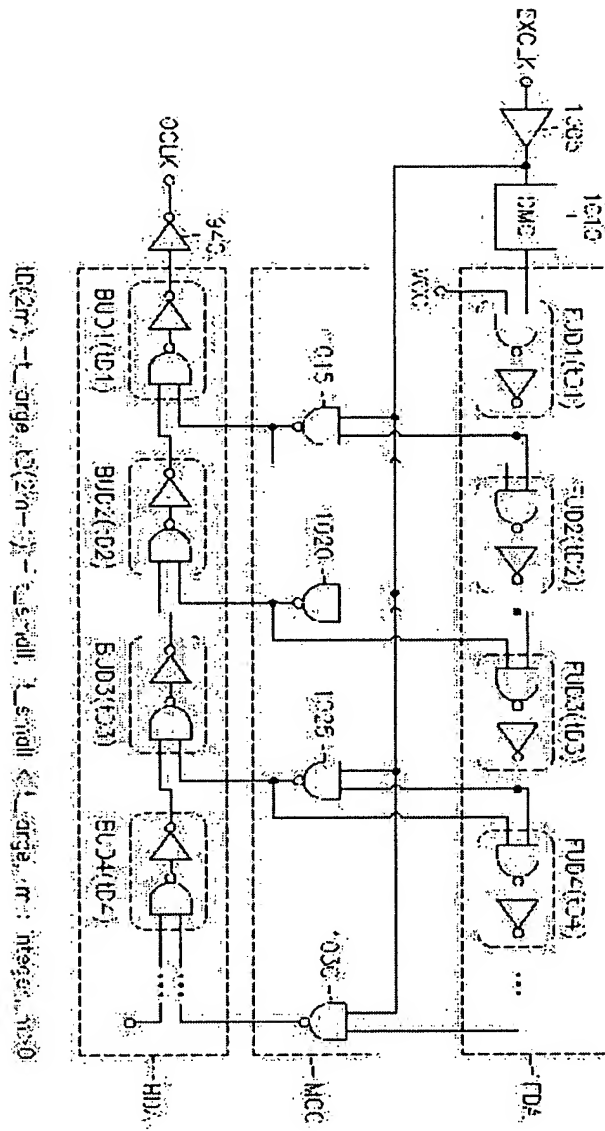


0873



10 905, 906, 907, 908, 909, 910, 911, 912, 913, 914, 915, 916, 917, 918, 919, 920, 921, 922, 923, 924, 925, 926, 927, 928, 929, 930, 931, 932, 933, 934, 935, 936, 937, 938, 939, 940, 941, 942, 943, 944, 945, 946, 947, 948, 949, 950, 951, 952, 953, 954, 955, 956, 957, 958, 959, 960, 961, 962, 963, 964, 965, 966, 967, 968, 969, 970, 971, 972, 973, 974, 975, 976, 977, 978, 979, 980, 981, 982, 983, 984, 985, 986, 987, 988, 989, 990, 991, 992, 993, 994, 995, 996, 997, 998, 999, 1000

5B10



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**